

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-313980

(P2002-313980A)

(43)公開日 平成14年10月25日 (2002.10.25)

(51)Int.Cl.
H01L 23/12
21/822
27/04
H05K 1/02

識別記号

F I
H05K 1/02
H01L 23/12
27/04

コード(参考)
J 5E338
E 5F038
D
U

審査請求 未請求 請求項の数6 OL (全 5 頁)

(21)出願番号 特願2001-116416(P2001-116416)
(22)出願日 平成13年4月16日 (2001.4.16)

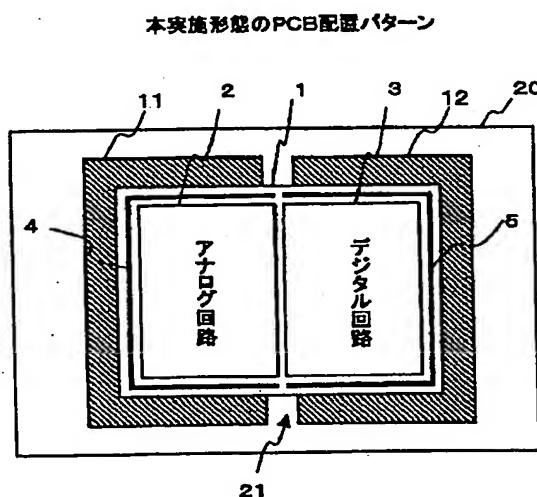
(71)出願人 591220850
新潟精密株式会社
新潟県上越市西城町2丁目5番13号
(72)発明者 池田 誠
東京都大田区山王2丁目5番6号
(72)発明者 宮城 弘
神奈川県横浜市港北区新吉田町1265番地1
(74)代理人 100105784
弁理士 橋 和之
F ターム(参考) 5E338 CC04 CC06 CD24 EE13
5F038 BH19 CD04 CD12 DF12 EZ20

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 アナログ回路とデジタル回路とを混載した半導体チップにおいて、アナログ回路からの電流とデジタル回路からの電流とがサブストレートを通じて混在する不都合を防止し、アナログ信号に対するノイズを低減できるようにする。

【解決手段】 ICチップ1をプリント回路基板20の第1の導体部11および第2の導体部12の上にこれらを跨ぐように搭載し、各導体部11, 12をそれぞれ接地することにより、ICチップ1のシリコン基板6に生じた電位差に基づくアナログ回路2からの電流がシリコン基板6を通じて第1の導体部11からグランドへと流れ込み、デジタル回路3からの電流がシリコン基板6を通じて第2の導体部12からグランドへと流れ込むようにして、アナログ回路2からの電流とデジタル回路3からの電流とがシリコン基板6を通して混在してしまう不都合を防止できるようにする。



1

【特許請求の範囲】

【請求項1】 アナログ回路とデジタル回路とが混載された半導体チップをプリント回路基板上に実装する半導体装置であって、

上記プリント回路基板の導体部を第1の導体部および第2の導体部により構成し、上記半導体チップを上記第1の導体部および上記第2の導体部の上に搭載したことを特徴とする半導体装置。

【請求項2】 上記アナログ回路が上記第1の導体部の上に配置され、上記デジタル回路が上記第2の導体部の上に配置されるように上記半導体チップを搭載したことを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記第1の導体部および上記第2の導体部のそれぞれを別個に接地したことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 上記第1の導体部と上記第2の導体部とを共通に接地したことを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 アナログ回路とデジタル回路とが混載された半導体チップをプリント回路基板上に実装する半導体装置であって、

上記プリント回路基板の導体部にスリットを設けることにより、上記プリント回路基板の導体部を少なくとも2つの領域に分割し、上記半導体チップを上記分割したそれぞれの領域上に搭載したことを特徴とする半導体装置。

【請求項6】 アナログ回路とデジタル回路とが混載された半導体チップをリードフレーム上に実装する半導体装置であって、

上記リードフレームの導体部を第1の導体部および第2の導体部により構成し、上記半導体チップを上記第1の導体部および上記第2の導体部の上に搭載したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に、アナログ回路とデジタル回路とが1つのチップ内に搭載された半導体装置に用いて好適なものである。

【0002】

【従来の技術】 ラジオ受信機、携帯電話装置、PDA (Personal Digital Assistants) などの無線通信端末の普及を背景に、これら端末の小型化、軽量化などを目的としてICの高集積化、半導体素子の微細化などが急速に進められている。このような中、コンデンサなどの受動部品を含む無線回路をIC化(1チップ化)する試みも成されている。

【0003】 また、最近では、アナログ回路とデジタル回路とを1チップの中に混載したいという要求が高まっている。例えば、ラジオ受信機、携帯電話装置、近距離無線データ通信技術のブルートゥース、無線LANなど

2

において、アナログ信号を送受信するための無線回路(アナログ回路)と、選局用のPLL(Phase Locked Loop)周波数シンセサイザ回路(デジタル回路)や、送受信する信号をデジタル信号処理するためのベースバンド信号処理回路(デジタル回路)とを1チップ化する試みが盛んに行われている。

【0004】 図3は、アナログ回路とデジタル回路とが混載されたICチップをプリント回路基板(PCB)上に搭載したときの従来例を示す上面図である。図3において、1はICチップであり、その内部にアナログ回路2とデジタル回路3とを混載している。この図3の例では、ICチップ1の内部領域が縦方向に分割され、一方の領域にアナログ回路2が配置され、他方の領域にデジタル回路3が配置されている。

【0005】 アナログ回路2の周囲には、ICチップ1の外周に沿ってアナログ用の電源線およびグランド線(以下、アナログ電源ラインと言う)4が配線されている。また、デジタル回路3の周囲には、ICチップ1の外周に沿ってデジタル用の電源線およびグランド線(以下、デジタル電源ラインと言う)5が配線されている。このように構成されたICチップ1は、プリント回路基板100の表面に設けられた導体部200上に搭載され、ワイヤボンドあるいはハンダ付けなどによって電気的に接続されている。

【0006】 図4は、アナログ回路とデジタル回路とが混載されたICチップをプリント回路基板上に搭載したときの従来例を示す断面図である。図4に示すように、ICチップ1は、シリコン基板6上にMOSトランジスタ7などを含む各種の素子が集積されてアナログ回路2が形成されている。また、同じシリコン基板6上にMOSトランジスタ8などを含む各種の素子が集積されてデジタル回路3が形成されている。

【0007】 アナログ回路2の周囲には、アナログ用のグランド線9および図示しない電源線を含む図3のアナログ電源ライン4が配線されている。また、デジタル回路3の周囲には、デジタル用のグランド線10および図示しない電源線を含む図3のデジタル電源ライン5が配線されている。

【0008】 このような構成から成るICチップ1が、プリント回路基板100の表面に設けられた導体部200上に搭載され、ワイヤボンドあるいはハンダ付けなどによって電気的に接続されている。このとき、アナログ用グランド線9およびデジタル用グランド線10は、プリント回路基板100の導体部200に接続される。さらに、当該導体部200は、任意の位置(例えば、アナログ用グランド線9またはデジタル用グランド線10の何れかに近い位置)で接地される。これによってアナログ回路2およびデジタル回路3のアースがとられている。

【発明が解決しようとする課題】一般に、シリコン基板6などのサブストレートには抵抗があるので、その上のアナログ回路2とデジタル回路3に電流が流れると、当該アナログ回路2およびデジタル回路3とプリント回路基板100の接地部分との間にあるサブストレート自身に電位差が生じ、サブストレートを通じてプリント回路基板100の接地部分へと電流が流れてしまう。

【0010】この場合、図4に示すようにアナログ回路2の近傍で接地をすると、デジタル回路3側からアナログ回路2側に向かって、サブストレートや導体部200を通じて電流が流れ込んでしまい、これがアナログ信号に対するノイズ源となってしまうという問題があった。逆に、デジタル回路3の近傍において接地した場合は、アナログ回路2側からデジタル回路3側に向かって電流が流れ込んでしまい、これがノイズ源となってしまうという問題があった。

【0011】本発明は、このような問題を解決するために成されたものであり、アナログ回路とデジタル回路とを混載した半導体チップにおいて、アナログ回路からの電流とデジタル回路からの電流とがサブストレート等を通じて流れ込んで混在してしまう不都合を防止し、アナログ信号あるいはデジタル信号に対するノイズを低減できることを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置は、アナログ回路とデジタル回路とが混載された半導体チップをプリント回路基板上に実装する半導体装置であって、上記プリント回路基板の導体部を第1の導体部および第2の導体部により構成し、上記半導体チップを上記第1の導体部および上記第2の導体部の上に搭載したことを特徴とする。

【0013】本発明の他の態様では、上記アナログ回路が上記第1の導体部の上に配置され、上記デジタル回路が上記第2の導体部の上に配置されるように上記半導体チップを搭載したことを特徴とする。

【0014】本発明のその他の態様では、上記第1の導体部および上記第2の導体部のそれぞれを別個に接地したことを特徴とする。本発明のその他の態様では、上記第1の導体部と上記第2の導体部とを共通に接地したことを特徴とする。

【0015】本発明のその他の態様では、アナログ回路とデジタル回路とが混載された半導体チップをプリント回路基板上に実装する半導体装置であって、上記プリント回路基板の導体部にスリットを設けることにより、上記プリント回路基板の導体部を少なくとも2つの領域に分割し、上記半導体チップを上記分割したそれぞれの領域上に搭載したことを特徴とする。

【0016】本発明のその他の態様では、アナログ回路とデジタル回路とが混載された半導体チップをリードフレーム上に実装する半導体装置であって、上記リードフレーム

レームの導体部を第1の導体部および第2の導体部により構成し、上記半導体チップを上記第1の導体部および上記第2の導体部の上に搭載したことを特徴とする。

【0017】本発明は上記技術手段より成るので、アナログ回路とデジタル回路とを混載した半導体チップにおいて、サブストレートにおける電位差に基づきアナログ回路から生じた電流は、サブストレートを通じて第1の導体部からグランドへと流れ込む。一方、デジタル回路から生じた電流は、サブストレートを通じて第2の導体部からグランドへと流れ込むようになる。これにより、アナログ回路からの電流とデジタル回路からの電流とがサブストレートを通して混在してしまう不都合が防止される。

【0018】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本発明の半導体装置を実施した半導体チップ（ICチップ）の構成およびプリント回路基板上への実装例を示す上面図である。

【0019】図1において、本実施形態のICチップ1は、アナログ信号を処理するアナログ回路2と、デジタル信号を処理するデジタル回路3とを備えている。この図1の例では、ICチップ1の内部領域が縦方向に分割され、一方の領域にアナログ回路2が配置され、他方の領域にデジタル回路3が配置されている。

【0020】アナログ回路2の周囲には、ICチップ1の外周に沿ってアナログ電源ライン4（アナログ用の電源線およびグランド線）が配線されている。また、デジタル回路3の周囲には、ICチップ1の外周に沿ってデジタル電源ライン5（デジタル用の電源線およびグランド線）が配線されている。

【0021】本実施形態においては、このように構成されたICチップ1を実装するプリント回路基板20の導体部として、第1の導体部11および第2の導体部12を備えている。この第1および第2の導体部11、12は、例えば、プリント回路基板20の導体部にスリット21を設け、導体部を2つの領域に分割することによって形成する。

【0022】ICチップ1は、2つの導体部11、12の上にこれらを跨ぐように搭載し、それぞれの導体部11、12にワイヤボンドあるいはハンダ付けなどによって電気的に接続する。このときICチップ1は、アナログ回路2が第1の導体部11の上にきて、デジタル回路3が第2の導体部12の上にくる位置に搭載するのが好ましい。

【0023】図2は、本実施形態によるICチップの構成およびプリント回路基板上への実装例を示す断面図である。図2に示すように、ICチップ1のシリコン基板6上にMOSトランジスタ7などを含む各種の素子が集積されてアナログ回路2が形成されている。また、同じシリコン基板6上にMOSトランジスタ8などを含む各

種の素子が集積されてデジタル回路3が形成されている。

【0024】アナログ回路2の周囲には、アナログ用のグランド線9および図示しない電源線を含む図1のアナログ電源ライン4が配線されている。また、デジタル回路3の周囲には、デジタル用のグランド線10および図示しない電源線を含む図1のデジタル電源ライン5が配線されている。

【0025】このような構成から成るICチップ1が2つの導体部11, 12の表面上にこれらを跨ぐように搭載され、ワイヤボンドあるいはハンダ付けなどによって電気的に接続されている。このとき、アナログ用グランド線9は、例えばボンディングワイヤ13などによって第1の導体部11と接続され、デジタル用グランド線10は、例えばボンディングワイヤ14によって第2の導体部12と接続されている。

【0026】これら2つの導体部11, 12は、それぞれ任意の位置（例えば、アナログ用グランド線9およびデジタル用グランド線10に近い位置）から外部で共通に接地されている。なお、ここでは2つの導体部11, 12を共通に接地する例を示したが、それぞれ別個に接地するようにしても良い。

【0027】以上のように構成することにより、シリコン基板6の電位差によって生じたアナログ回路2からの電流は、シリコン基板6を通じて第1の導体部11に流れ込み、更に共通アースへと流れる。また、デジタル回路3からの電流は、シリコン基板6を通じて第2の導体部12に流れ込み、更に共通アースへと流れるようになる。

【0028】すなわち、プリント回路基板20の導体部11, 12は非常に抵抗が小さいので、ここに電位差は殆ど生じない。したがって、アナログ回路2およびデジタル回路3から生じた電流は、それぞれが接地された2つの導体部11, 12に別々に向かって流れ込み、導体部11, 12の外部でアースに落とされるようになる。これにより、アナログ回路2およびデジタル回路3からの電流がプリント回路基板20上で混在することがなくなり、例えばアナログ信号がデジタルノイズを拾ってしまうような不都合をなくしてノイズの低減を図ることができる。

【0029】なお、上記実施形態では、プリント回路基板20の導体部を2分割（第1の導体部11、第2の導体部12）したが、分割数はこれ以上であっても良い。例えば、ICチップ内でアナログ回路とデジタル回路とが3個以上の領域に分割される場合は、それに合わせてプリント回路基板20の導体部も3個以上の領域に分割するようにしても良い。

【0030】つまり、本発明で言う第1の導体部および第2の導体部は、例えばそれぞれがアナログ回路およびデジタル回路に対応した領域のことを意味するものである。

り、第1の導体部および第2の導体部自身がそれぞれ複数の領域に分割されていても良い。

【0031】また、上記実施形態では、ICチップをプリント回路基板上に搭載する際の例について説明したが、これに限定されるものではない。例えば、リードフレーム上にICチップを搭載する場合にも同様に本発明を適用することが可能である。

【0032】その他、上記に示した実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、アナログ回路とデジタル回路とが1つの半導体チップ内に混載した半導体装置において、アナログ回路から生じた電流は当該サブストレートを通じて第1の導体部からグランドへと流れ込み、デジタル回路から生じた電流はサブストレートを通じて第2の導体部からグランドへと流れ込むようにすることができる。これにより、アナログ回路からの電流とデジタル回路からの電流とがサブストレートを通して混在してしまう不都合を防止し、ノイズの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置を実施したICチップの構成およびプリント回路基板上への実装例を示す上面図である。

【図2】本発明の半導体装置を実施したICチップの構成およびプリント回路基板上への実装例を示す断面図である。

【図3】アナログ回路とデジタル回路とが混載されたICチップをプリント回路基板上に搭載した従来例を示す上面図である。

【図4】アナログ回路とデジタル回路とが混載されたICチップをプリント回路基板上に搭載した従来例を示す断面図である。

【符号の説明】

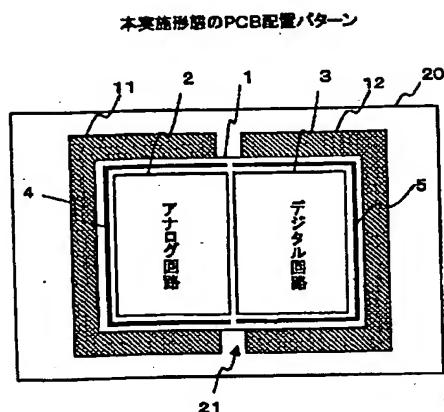
1	ICチップ
2	アナログ回路
3	デジタル回路
4	アナログ電源ライン
5	デジタル電源ライン
6	シリコン基板
7	MOSトランジスタ
8	MOSトランジスタ
9	アナログ用グランド線
10	デジタル用グランド線
11	第1の導体部
12	第2の導体部

* 21 スリット

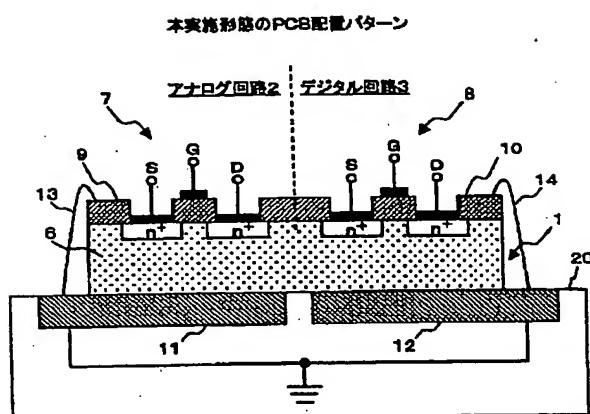
*

7
13, 14 ボンディングワイヤ
20 プリント回路基板

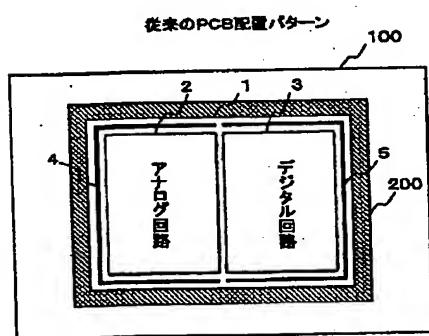
【図1】



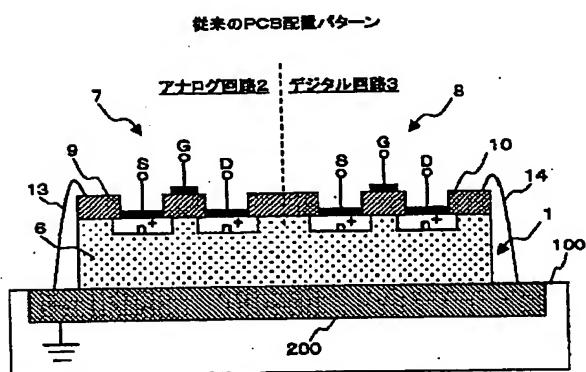
【図2】



【図3】



【図4】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)